

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:)
PASOTTI ET AL.)
Serial No. 10/748,697)
Confirmation No. 2009)
Filing Date: December 30, 2004)
For: VOLTAGE SUPPLY DISTRIBUTION)
ARCHITECTURE FOR A PLURALITY)
OF MEMORY MODULES)

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

MS Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of the
priority EP Application No. 02425809.7.

Respectfully submitted,

JOHN F. WOODSON, II
Reg. No. 45,236
Allen, Dyer, Doppelt, Milbrath
& Gilchrist, P.A.
255 S. Orange Avenue, Suite 1401
Post Office Box 3791
Orlando, Florida 32802
Telephone: 407/841-2330
Fax: 407/841-2343
Attorney for Applicants

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being
deposited with the United States Postal Service as first class
mail in an envelope addressed to: MS Missing Parts,
Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-
1450, on this 15th day of June, 2004.

THIS PAGE BLANK (USPTO)



**Europäisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**

Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

02425809.7

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk

THIS PAGE BLANK (USPTO)



Anmeldung Nr:
Application no.: 02425809.7
Demande no:

Anmeldetag:
Date of filing: 30.12.02
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

STMicroelectronics S.r.l.
Via C. Olivetti, 2
20041 Agrate Brianza (Milano)
ITALIE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
If no title is shown please refer to the description.
Si aucun titre n'est indiqué se référer à la description.)

Power voltage supply distribution architecture for a plurality of memory modules

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)
revendiquée(s)
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

G11C/

Am Anmeldetag benannte Vertragstaaten/Contracting states designated at date of
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR IE IT LI LU MC NL
PT SE SI SK TR

THIS PAGE BLANK (USPTO)

Titolo: Architettura di distribuzione di tensioni di alimentazione ad una pluralità di moduli di memoria.

DESCRIZIONE

Campo di applicazione

5 La presente invenzione fa riferimento ad una architettura di distribuzione di tensioni di alimentazione ad una pluralità di moduli di memoria.

Più specificatamente l'invenzione si riferisce ad una architettura di distribuzione di tensioni di alimentazione ad una pluralità di moduli di
10 memoria alimentati mediante una pluralità di circuiti a pompa di carica.

L'invenzione riguarda in particolare, ma non esclusivamente, una architettura di distribuzione di tensioni di alimentazione ad una pluralità di moduli di memoria di tipo Flash e la descrizione che segue è
15 fatta con riferimento a questo campo di applicazione con il solo scopo di semplificarne l'esposizione.

Arte nota

Come è ben noto, per il corretto funzionamento di una memoria non volatile di tipo Flash è necessario generare una pluralità di tensioni, a
20 partire da uno stesso riferimento di tensione di alimentazione Vdd. In particolare, per poter eseguire correttamente le varie operazioni (lettura, programmazione, cancellazione) sulle celle di una memoria Flash, alcune tensioni in questa pluralità di tensioni devono presentare un valore più alto della tensione di alimentazione Vdd, mentre altre devono
25 assumere valori addirittura negativi, vale a dire valori al di sotto di un riferimento di tensione di massa GND, corrispondente ad un valore di tensione nullo.

Per aumentare le prestazioni della memoria è inoltre ben noto separare la memoria in più banchi o moduli ed eseguire in parallelo alcune di
30 queste operazioni (lettura, programmazione, cancellazione) su banchi

diversi.

In particolare, sono note architetture di memoria in grado di eseguire una operazione di lettura su banchi diversi. Siffatte architetture di memoria sono descritte ad esempio nei brevetti statunitensi No.
5 5,691,955 della Mitsubishi Electric e No. 5,684,752 della Intel.

Sono altresì note architetture di memoria atte ad eseguire operazioni di lettura in parallelo ad operazioni di programmazione, come descritto nei brevetti statunitensi No. 5,245,572 della Intel e No. 5,867,430 di Chen et al.. In particolare, l'architettura di memoria descritta nel brevetto di
10 Chen et al. è inoltre atta ad eseguire operazioni di lettura in parallelo ad operazioni di cancellazione.

Tutte le soluzioni note proposte presentano però importanti limitazioni.

Innanzitutto, utilizzando le architetture di memoria note non risulta possibile effettuare in parallelo operazioni di programmazione e
15 cancellazione. Inoltre, tali architetture non risultano in grado di gestire più di due operazioni in parallelo.

Infine, nessuna delle architetture note è in grado di gestire richieste provenienti da un numero di banchi diverso da quello previsto in fase di progetto dell'architettura, a meno di cambiare la struttura hardware
20 dell'architettura stessa.

Il problema tecnico che sta alla base della presente invenzione è quello di escogitare una architettura di distribuzione di tensioni di alimentazione ad una memoria non volatile, in particolare di tipo Flash e organizzata in moduli di memoria, in grado di generare differenti
25 tensioni necessarie per il corretto funzionamento della memoria stessa, garantendo al contempo un completo parallelismo tra le operazioni di lettura, programmazione e cancellazione da effettuare sulle celle della memoria ed una corretta gestione di una pluralità di richieste provenienti dai differenti moduli di memoria, superando in tal modo le
30 limitazioni che tuttora affliggono le architetture realizzate secondo l'arte nota.

Sommario dell'invenzione

L'idea di soluzione che sta alla base della presente invenzione è quella di prevedere una architettura di distribuzione di tensioni di alimentazione ad una pluralità di moduli di memoria comprendente un
5 blocco di generazione delle tensioni richieste per il corretto funzionamento della memoria stessa separato fisicamente e funzionalmente da un blocco di gestione delle richieste ricevute dai banchi compresi nella memoria.

10 Sulla base di tale idea di soluzione il problema tecnico è risolto da una architettura del tipo precedentemente indicato e definito dalla parte caratterizzante della rivendicazione 1.

Le caratteristiche ed i vantaggi dell'architettura secondo l'invenzione risulteranno dalla descrizione, fatta qui di seguito, di un suo esempio di
15 realizzazione dato a titolo indicativo e non limitativo con riferimento ai disegni allegati.

Breve descrizione dei disegni

- La Figura 1 mostra schematicamente un dispositivo di memoria comprendente una architettura di distribuzione di tensioni di alimentazione ad una pluralità di moduli di memoria secondo
20 l'invenzione;

- La Figura 2 mostra in maggior dettaglio l'architettura di distribuzione di tensioni di alimentazione di Figura 1.

Descrizione dettagliata

Con riferimento alla Figura 1, con 1 è complessivamente e
25 schematicamente indicata un dispositivo di memoria non volatile di tipo Flash comprendente una sezione 2 di memoria organizzata in banchi o moduli di memoria Mod1,...ModN.

In particolare, nell'esempio illustrato, a titolo indicativo e non limitativo, la sezione 2 di memoria Flash comprende quattro di moduli di memoria

indicati con Mod1,..., Mod4 e collegati ad un riferimento di tensione di alimentazione Vdd.

Il dispositivo 1 di memoria Flash comprende inoltre un blocco 3 generatore di tensioni.

- 5 Come detto in relazione alla tecnica nota, per il corretto funzionamento di moduli di memoria di tipo Flash è necessario generare una pluralità di tensioni con un valore più alto rispetto al riferimento di tensione di alimentazione Vdd, che indicheremo con Vhigh1,...,VhighN, nonché pluralità di tensioni con un valore negativo, che indicheremo con
10 Vneg1,...,VnegN.

E' opportuno notare che per generare tali tensioni di alimentazione Vhigh1,...,VhighN e Vneg1,...,VnegN vengono normalmente utilizzati una pluralità di circuiti a pompa di carica Pump1,...PumpM compresi nel blocco 3 generatore di tensione, ognuno dei quali in grado di erogare
15 una quantità prefissata di corrente.

Vantaggiosamente secondo l'invenzione, il dispositivo 1 di memoria comprende un blocco arbitro 10, inserito tra i circuiti a pompa di carica Pump1,...PumpM del blocco 3 generatore di tensioni e la pluralità di moduli di memoria Mod1,..., ModN.

- 20 In particolare, il blocco 10 è collegato al blocco 3 generatore di tensioni tramite un primo bus bidirezionale 5 ed alla sezione 2 di memoria Flash tramite un secondo bus bidirezionale 6.

Vantaggiosamente secondo l'invenzione, il blocco 10 riceve una pluralità di richieste di opportuni valori di tensione di alimentazione o più
25 semplicemente richieste di potenza dai moduli di memoria e provvede a pilotare opportunamente i circuiti a pompa di carica Pump1,...PumpM del blocco 3 generatore di tensioni in modo da garantire valori corretti per le tensioni di alimentazione Vhigh1,...,VhighN e Vneg1,...,VnegN inviate alla pluralità di moduli di memoria Mod1,...,ModN. Il blocco 10
30 implementa quindi una architettura di distribuzione delle tensioni di alimentazione generate dalla pluralità di circuiti a pompa di carica per

la pluralità di moduli di memoria durante le diverse fasi operative del dispositivo di memoria stesso.

In particolare, facendo riferimento alla Figura 2, l'architettura 10 di distribuzione delle tensioni di alimentazione secondo l'invenzione
5 comprende un blocco ordinatore 11 collegato in ingresso al secondo bus bidirezionale 6 dal quale riceve un segnale PSreq di richiesta di potenza da parte di un modulo di memoria di detta pluralità di moduli.

Il secondo bus bidirezionale 6 comprende inoltre:

- un bus PSidfy di identificazione dell'operazione richiesta;
- 10 - un bus PSrqpry di priorità del segnale PSreq di richiesta.

Il blocco ordinatore 11 riceve infine in ingresso da un blocco commutatore 12 un segnale PSgrn di assegnazione di una richiesta e fornisce in uscita allo stesso blocco commutatore 12 un segnale ORD di ordinamento delle richieste di potenza ricevute dalla pluralità di moduli
15 Mod1,...,ModN.

Il blocco commutatore 12 riceve a sua volta il segnale PSreq di richiesta di potenza, è connesso ai bus PSidfy di identificazione dell'operazione richiesta e PSrqpry di priorità e fornisce, tramite il secondo bus bidirezionale 6, al blocco ordinatore 11 ed alla pluralità di moduli di
20 memoria Mod1,...,ModN il segnale PSgrn di assegnazione di una richiesta.

Il blocco commutatore 12 è inoltre collegato in maniera bidirezionale ad una pluralità di decodificatori 13 di richieste ai quali fornisce il segnale PSreq di richiesta di potenza e dai quali riceve il segnale PSgrn di
25 assegnazione di una richiesta. Il blocco commutatore 12 è collegato alla pluralità di decodificatori 13 anche tramite il bus PSidfy di identificazione dell'operazione richiesta.

La pluralità di decodificatori 13 di richieste è infine collegata in maniera multiplexata bidirezionale ad una pluralità di circuiti 14 di pilotaggio, a
30 loro volta collegati, tramite il primo bus bidirezionale 5, alla pluralità di

circuiti a pompa di carica Pump1,...,PumpM del blocco 3 generatore di tensioni ai quali forniscono i seguenti segnali:

- un segnale pump_pwd di attivazione di un corrispondente circuito a pompa di carica; e
- 5 - un segnale pump_stby di modalità d'attesa [stand-by] di un corrispondente circuito a pompa di carica.

I circuiti 14 di pilotaggio ricevono inoltre dalla pluralità di circuiti a pompa di carica Pump1,...,PumpM un segnale pump_valid di validità, recante l'informazione che la pompa di carica ha raggiunto il valore
10 desiderato.

È possibile configurare via software:

- la corrispondenza fra tipo di operazione richiesta e pompe di carica necessarie a soddisfarla;
- tempi di spegnimento [power down] e di attesa [stand-by]; e
- 15 - numero di richieste che ogni pompa di carica può soddisfare contemporaneamente.

Vantaggiosamente, secondo l'invenzione, la pluralità di moduli Mod0,...,ModN collegati all'architettura 10 di distribuzione di tensioni di alimentazione condivide quindi una stessa pluralità di circuiti a pompa
20 di carica Pump1,...,PumpM per la generazione delle tensioni di alimentazioni Vhigh1,...,VhighN e Vneg1,...,VnegN necessarie al corretto funzionamento dei moduli stessi.

L'architettura 10 di distribuzione di tensioni di alimentazione, a conoscenza di quante operazioni un determinato circuito a pompa di
25 carica è in grado di sopportare, fa attendere le operazione meno prioritarie fino a che non si liberano i circuiti a pompa di carica corrispondenti.

Vediamo ora più nel dettaglio il funzionamento dell'architettura 10 di distribuzione di tensioni di alimentazione secondo l'invenzione.

Il blocco ordinatore 11 elabora le richieste di tensione ricevute dalla pluralità di moduli Mod1,...,ModN sulla base delle seguenti regole:

- stato della richiesta (richiesta già attiva o nuova richiesta);
- informazione di priorità;
- 5 - posizione del modulo che ha effettuato la richiesta;

Il blocco commutatore 12 identifica le richieste da soddisfare sulla base del segnale ricevuto dal blocco ordinatore 11 e propaga i segnali corrispondenti alla pluralità di decodificatori 13 di richiesta, che a loro volta abilitano i corrispondenti circuiti 14 di pilotaggio dei circuiti a pompa di carica Pump1,...,PumpN.

In particolare, i circuiti 14 di pilotaggio gestiscono le condizioni di spegnimento [power down] e di attesa [stand-by] della pluralità di circuiti a pompa di carica Pump1,...,PumpM.

In sostanza, l'architettura 10 di distribuzione di tensioni di alimentazione provvede ad una organizzazione [scheduling] delle richieste di potenza ricevute dai moduli di memoria Mod1,...,ModN mediante un ordinamento in base ad una scala di priorità.

In un esempio di implementazione del blocco ordinatore 11 è possibile considerare una scala di priorità in cui le operazioni di lettura risultino prioritarie rispetto alle operazioni di programmazione e le operazioni di programmazione risultino prioritarie sulle operazioni di cancellazione.

Inoltre, è possibile considerare, a parità di operazione richiesta, che i moduli più vicini all'architettura 10 di distribuzione di tensioni di alimentazione siano considerati prioritari rispetto a quelli più lontani. In particolare, facendo riferimento alla Figura 1, il modulo Mod1 viene considerato il più vicino ed il modulo Mod4 il più lontano dall'architettura 10 di distribuzione di tensioni di alimentazione.

In altre parole, la scala di priorità comprende una classificazione di priorità delle differenti operazioni (lettura, scrittura, cancellazione)

eseguibili sulle celle di memoria dei moduli Mod1,...,Mod4 o delle richieste ricevute dai diversi moduli.

5 Vantaggiosamente secondo l'invenzione, l'architettura 10 di distribuzione di tensioni di alimentazione viene implementata in modo tale da eseguire l'ordinamento delle richieste della pluralità di moduli indipendenti (Mod1,...,ModN) in un solo colpo del segnale di clock del dispositivo di memoria 1 (avente, ad esempio, una frequenza inferiore o uguale a 250MHz).

10 In conclusione, l'architettura 10 di distribuzione di tensioni di alimentazione secondo l'invenzione risulta di semplice implementazione e consegue i seguenti vantaggi:

1. garantisce un completo parallelismo delle varie operazioni (lettura, scrittura, cancellazione) effettuate sulle celle di memoria dei diversi moduli;
- 15 2. permette di gestire plurime richieste ricevute dai moduli, ordinandole in base ad una prefissata scala di priorità;
3. permette di gestire un numero elevato di moduli collegati ad uno stesso arbitro;
4. permette di riconfigurare via software la priorità con cui le
20 operazioni vengono gestite.

Infine, è opportuno notare che il ritardo introdotto dall'architettura 10 di distribuzione di tensioni di alimentazione può essere ridotto a un solo colpo del segnale di clock del dispositivo di memoria in cui viene inserita.

RIVENDICAZIONI

1. Architettura di distribuzione di tensioni di alimentazione ad una pluralità di moduli di memoria (Mod1,..., ModN) alimentati mediante una pluralità di circuiti a pompa di carica (Pump1,..., PumpM),
5 caratterizzata dal fatto di comprendere un blocco ordinatore (11) collegato in maniera bidirezionale a detta pluralità di moduli di memoria (Mod1,...,ModN) dai quali riceve una pluralità di richieste di potenza ed atto a fornire un segnale (ORD) di ordinamento di dette richieste di potenza in base ad una scala di priorità per pilotare detta pluralità di
10 circuiti a pompa di carica (Pump1,...,PumpM) e distribuire opportune tensioni di alimentazioni (Vhigh1,...,VhighN; Vneg1,...,VnegN) a detta pluralità di moduli di memoria (Mod1,...,ModN).
2. Architettura di distribuzione di tensioni di alimentazione secondo la rivendicazione 1, caratterizzata dal fatto di comprendere
15 ulteriormente un blocco commutatore (12) collegato a detta pluralità di moduli di memoria (Mod1,...,ModN) tramite un bus bidirezionale (6) e a detto blocco ordinatore (11) per ricevere in ingresso detto segnale (ORD) di ordinamento.
3. Architettura di distribuzione di tensioni di alimentazione secondo
20 la rivendicazione 2, caratterizzata dal fatto che detto blocco ordinatore (11) riceve, tramite detto bus bidirezionale (6), un segnale di richiesta di potenza (PSreq) da parte di un modulo di memoria di detta pluralità di moduli (Mod1,...,ModN) ed un segnale di assegnazione di una richiesta (PSgrn) ed è connesso a:
25
 - un bus di identificazione (PSidfy) dell'operazione richiesta; e
 - un bus di priorità (PSrqpry) di detto segnale di richiesta (PSreq).
4. Architettura di distribuzione di tensioni di alimentazione secondo la rivendicazione 3, caratterizzata dal fatto che detto blocco
30 commutatore (12) riceve in ingresso detti segnali di richiesta di potenza (PSreq) e fornisce in uscita detto segnale di assegnazione di una richiesta (PSgrn) ed è connesso a detti bus di identificazione (PSidfy) e di

priorità (PSrqpry).

5. Architettura di distribuzione di tensioni di alimentazione secondo la rivendicazione 4, caratterizzata dal fatto che detto blocco commutatore (12) inoltre collegato in maniera bidirezionale ad una pluralità di decodificatori di richieste (13) ai quali fornisce detto segnale di richiesta di potenza (PSreq) e dai quali riceve detto segnale di assegnazione di una richiesta (PSgrn), detto blocco commutatore (12) essendo ulteriormente collegato a detta pluralità di decodificatori di richieste (13) tramite detto bus di identificazione (PSidfy).
6. Architettura di distribuzione di tensioni di alimentazione secondo la rivendicazione 5, caratterizzata dal fatto che detta pluralità di decodificatori di richieste (13) è collegata in maniera multiplexata bidirezionale ad una pluralità di circuiti di pilotaggio (14), a loro volta collegati, tramite un ulteriore bus bidirezionale (5), a detta pluralità di circuiti a pompa di carica (Pump1,...,PumpM).
7. Architettura di distribuzione di tensioni di alimentazione secondo la rivendicazione 6, caratterizzata dal fatto che detta pluralità di decodificatori di richieste (13) fornisce tramite detto ulteriore bus bidirezionale (5) i seguenti segnali:
- un segnale di attivazione (pump_pwd) di un corrispondente circuito a pompa di carica; e
 - un segnale di modalità d'attesa (pump_stby) di un corrispondente circuito a pompa di carica.
8. Architettura di distribuzione di tensioni di alimentazione secondo la rivendicazione 7, caratterizzata dal fatto che detta pluralità di decodificatori di richieste (13) riceve tramite detto ulteriore bus bidirezionale (5) un segnale di validità (pump_valid), recante l'informazione che la pompa di carica ha raggiunto il valore desiderato.
9. Architettura di distribuzione di tensioni di alimentazione secondo la rivendicazione 8, caratterizzata dal fatto che detta pluralità di circuiti di pilotaggio (14) gestisce le condizioni di spegnimento e di attesa di

detta pluralità di circuiti a pompa di carica (Pump1,...,PumpM) limitando dette richieste di potenza effettuate ad ogni circuito a pompa di carica al di sotto di detto valore massimo consentito.

5 10. Architettura di distribuzione di tensioni di alimentazione secondo la rivendicazione 6, caratterizzata dal fatto che di essere configurabile via software.

10 11. Architettura di distribuzione di tensioni di alimentazione secondo la rivendicazione 1, caratterizzata dal fatto che detto blocco ordinatore (11) elabora dette richieste di potenza ricevute da detta pluralità di moduli (Mod1,...,ModN) sulla base delle seguenti regole:

- stato della richiesta (richiesta già attiva o nuova richiesta);
- informazione di priorità;
- posizione di un modulo che ha effettuato detta richiesta di potenza;

15 12. Architettura di distribuzione di tensioni di alimentazione secondo la rivendicazione 11, caratterizzata dal fatto che dette regole comprendono una classificazione di priorità di richieste ricevute da differenti moduli di detta pluralità di moduli di memoria (Mod1,...,ModN).

20 13. Architettura di distribuzione di tensioni di alimentazione secondo la rivendicazione 1, caratterizzata dal fatto di elaborare dette richieste di potenza ricevute da detta pluralità di moduli di memoria (Mod1,...,ModN) in un solo colpo di un segnale di clock.

RIASSUNTO

L'invenzione si riferisce ad una architettura di distribuzione di tensioni di alimentazione ad una pluralità di moduli di memoria (Mod1,..., ModN) alimentati mediante una pluralità di circuiti a pompa di carica (Pump1,..., PumpM).

Vantaggiosamente secondo l'invenzione, l'architettura di distribuzione di tensioni di alimentazione comprende un blocco ordinatore (11) collegato in maniera bidirezionale alla pluralità di moduli di memoria (Mod1,...,ModN) dai quali riceve una pluralità di richieste di potenza ed atto a fornire un segnale (ORD) di ordinamento delle richieste di potenza in base ad una scala di priorità per pilotare la pluralità di circuiti a pompa di carica (Pump1,...,PumpM) e distribuire opportune tensioni di alimentazioni (Vhigh1,...,VhighN; Vneg1,...,VnegN) alla pluralità di moduli di memoria (Mod1,...,ModN). Inoltre tale architettura è configurabile via software.

(Fig. 2)

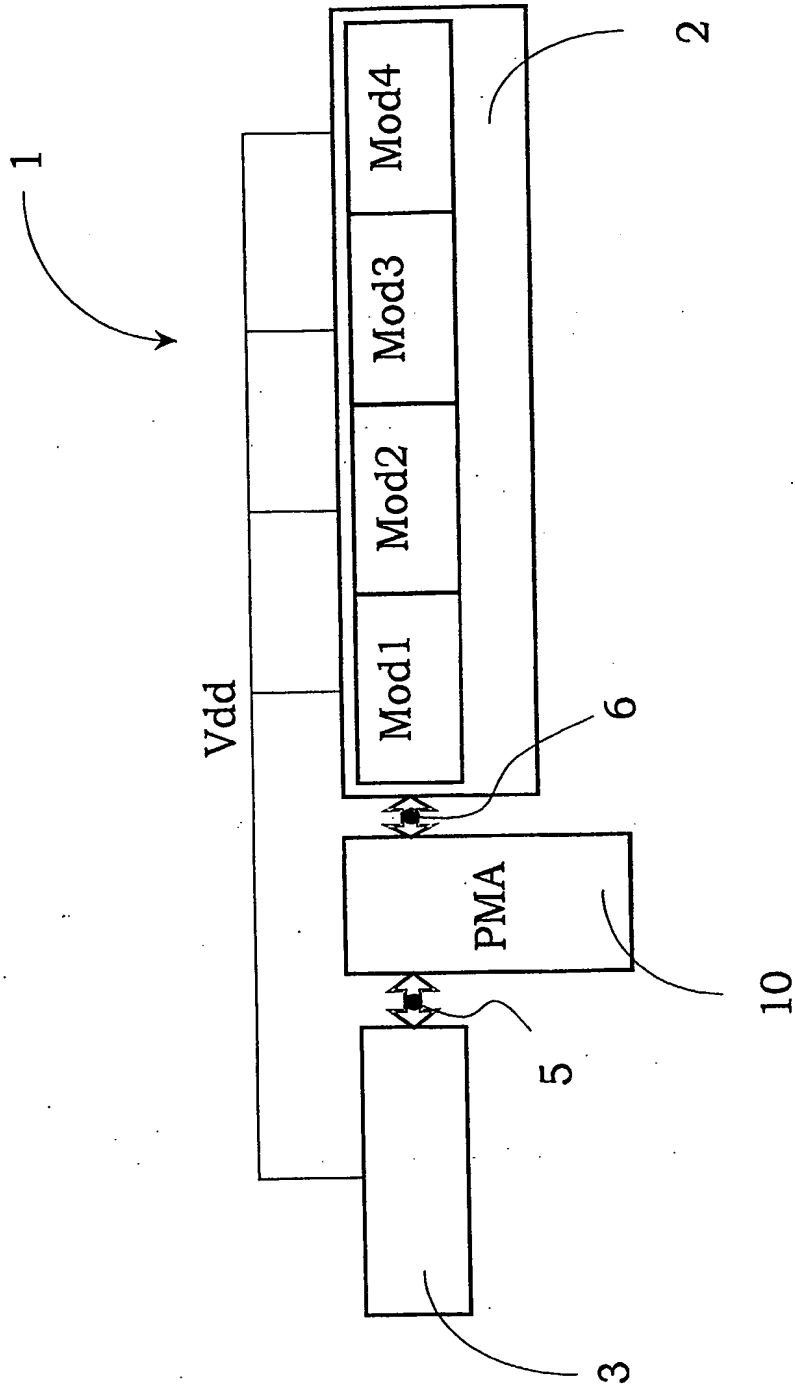


FIG. 1

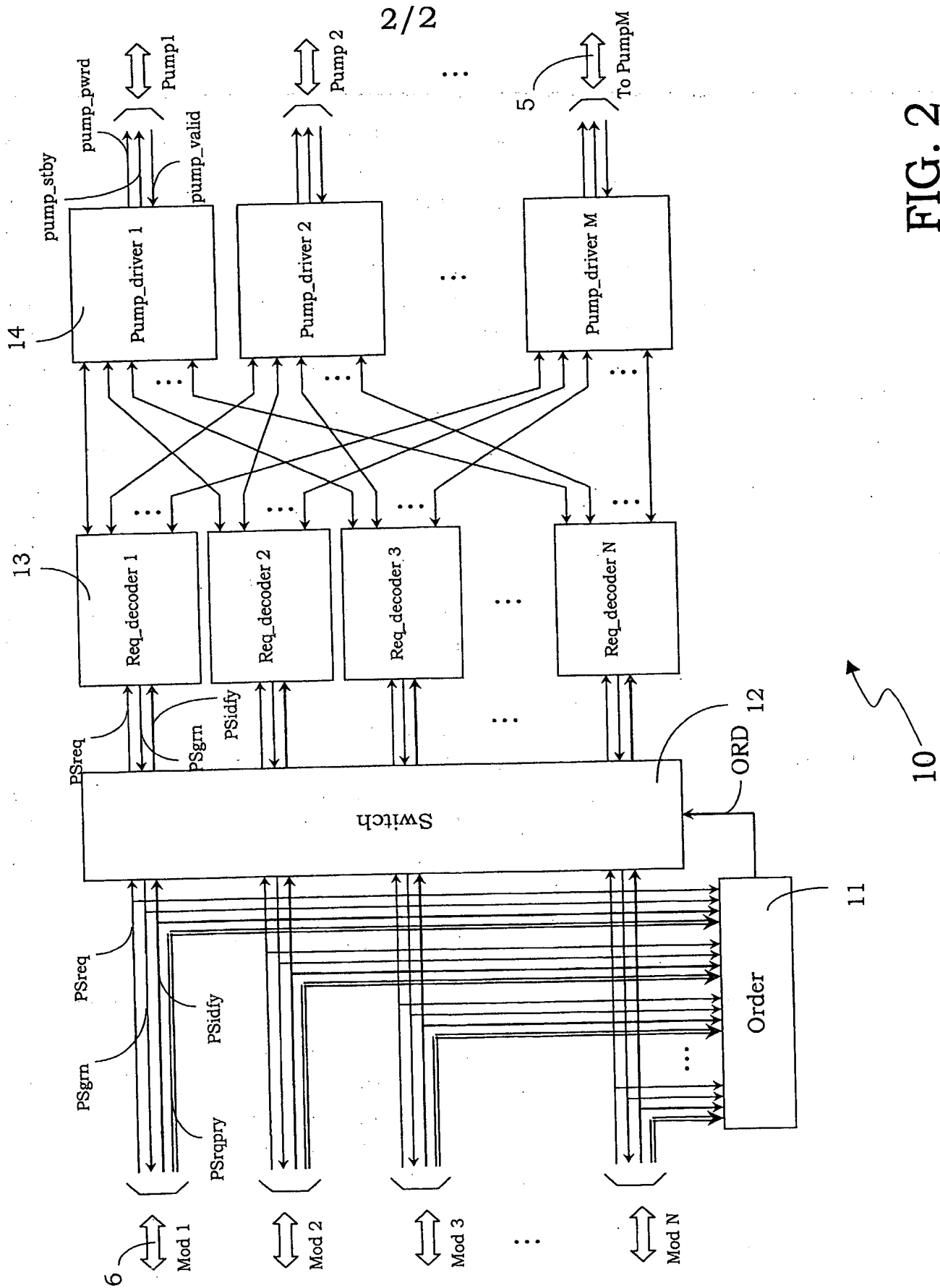


FIG. 2